

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-258113

(P2003-258113A)

(43)公開日 平成15年9月12日(2003.9.12)

(51)Int.Cl.⁷
H 01 L 21/822
21/331
21/339
21/8222
21/8249

識別記号

F I
H 02 M 3/07
H 01 L 27/04
29/76
27/06

テマコート[®](参考)
4 M 11 8
G 5 F 00 3
3 0 1 B 5 F 0 3 8
3 2 1 D 5 F 0 4 8
1 0 1 U 5 F 0 8 2

審査請求 未請求 請求項の数 8 OL (全 18 頁) 最終頁に統く

(21)出願番号 特願2002-377577(P2002-377577)
(22)出願日 平成14年12月26日(2002.12.26)
(31)優先権主張番号 特願2001-401193(P2001-401193)
(32)優先日 平成13年12月28日(2001.12.28)
(33)優先権主張国 日本 (JP)

(71)出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
(72)発明者 金子 智
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(72)発明者 大古田 敏幸
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(74)代理人 100107906
弁理士 須藤 克彦 (外1名)

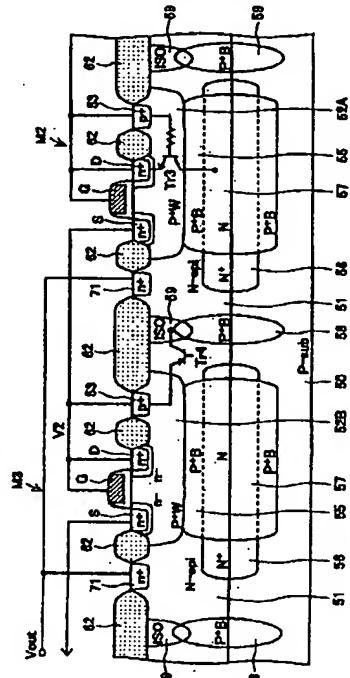
最終頁に統く

(54)【発明の名称】 チャージポンプ装置

(57)【要約】

【課題】 チャージポンプ装置において、ラッチアップの発生を防止すると共に大電流化を図る。

【解決手段】 P型の単結晶シリコン基板50上に成長されたN型エピタキシャル・シリコン層51と、このエピタキシャル・シリコン層51内に離間されて形成されたP型ウエル領域52A, 52Bと、これらのP型ウエル領域52A, 52B間にP型の下分離層58及びP型の上分離層59とを設ける。そして、電荷転送用トランジスタM2をP型ウエル領域52A内に、電荷転送用トランジスタM3をP型ウエル領域52B内に形成する。P型の単結晶シリコン基板50は接地電位または負の電位にバイアスされる。



【特許請求の範囲】

【請求項1】直列接続された複数の電荷転送用トランジスタを有し、最終段の電荷転送用トランジスタから昇圧された出力電圧を出力するチャージポンプ装置において、
第1導電型の単結晶半導体基板と、この単結晶半導体基板上に成長された第2導電型のエピタキシャル半導体層と、このエピタキシャル半導体層内に離間されて形成された複数の第1導電型ウエル領域と、これらの第1導電型ウエル領域間に形成された第1導電型分離層とを有し、

前記電荷転送用トランジスタを前記複数の第1導電型ウエル領域内に夫々形成したことを特徴とするチャージポンプ装置。

【請求項2】前記第1導電型分離層は前記エピタキシャル半導体層から下方拡散された上分離層と、前記単結晶半導体基板から上方拡散された下分離層と、を有し、前記上分離層の下部と下分離層の上部は前記エピタキシャル半導体層内で重畳されていることを特徴とする請求項1記載のチャージポンプ装置。

【請求項3】前記複数の第1導電型ウエル領域の各々の底部に接するように形成された第1導電型の埋め込み層と、この第1導電型の埋め込み層に部分的に重畳して形成され、前記複数の第1導電型ウエル領域の各々を前記単結晶半導体基板から電気的に分離する第2導電型の埋め込み層と、を有することを特徴とする請求項1記載のチャージポンプ装置。

【請求項4】前記第2導電型の埋め込み層は、前記第1導電型の埋め込み層より高濃度であることを特徴とする請求項3記載のチャージポンプ装置。

【請求項5】前記複数の第1導電型ウエル領域の各々と、その中にある各前記電荷転送用トランジスタのドレン層とを電気的に接続したことを特徴とする請求項3記載のチャージポンプ装置。

【請求項6】前記複数の第1導電型ウエル領域各々の中に第1導電型のウエル領域より不純物濃度が高い拡散層が形成され、該拡散層と前記電荷転送用トランジスタのドレン層とを接続したことを特徴とする請求項3に記載のチャージポンプ装置。

【請求項7】前記単結晶半導体基板と前記エピタキシャル半導体層とから成るP N接合を逆方向にバイアスしたことを特徴とする請求項1記載のチャージポンプ装置。

【請求項8】前記エピタキシャル半導体層に前記最終段の電荷転送用トランジスタから出力される昇圧電圧を印加したことを特徴とする請求項7記載のチャージポンプ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電源回路等に用い

られる大電流出力のチャージポンプ装置に関し、特にラッチアップの発生を防止することにより、安定した動作を可能としたチャージポンプ装置に関する。

【0002】

【従来の技術】近年のビデオカメラ、デジタルスチールカメラ(DSC)、DSCフォーン等の映像機器は、その映像を取り込むためにCCD(Charge Coupled Devices)を使用している。CCDを駆動するためのCCD駆動回路は、プラス、マイナスの高電圧(十数V)で且つ大電流(数mA)の電源回路を必要とする。現在、この高電圧はスイッチングレギュレータを用いて生成している。

【0003】スイッチングレギュレータは高性能、即ち高い電力効率(出力電力/入力電力)にて、高電圧を生成することができる。しかし、この回路は電流のスイッチング時に高調波ノイズを発生する欠点があり、電源回路をシールドして用いなければならない。更に外部部品としてコイルを必要とする。

【0004】そこで、上述したような携帯機器用の電源回路として、ディクソン(Dickson)チャージポンプ装置が注目されている。この回路は、例えば技術文献「John F. Dickson On-chip High-Voltage Generation in MNOS Integrated Circuits Using an Improved Voltage Multiplier Technique IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-11, NO. 3 pp. 374-378 JUNE 1976.」に詳しく記載されている。

【0005】図18に、4段のディクソン・チャージポンプ装置の回路図を示す。ダイオードD1～D5が直列接続されている。C1～C4は各ダイオードD1～D5の接続点に接続された結合コンデンサ(Coupling Capacitor)、CL1は出力容量(Output Capacitor)、CLKとCLKBは互いに逆相の入力クロックパルスである。また、51はCLK及びCLKBが入力されたクロックドライバー、52は電流負荷である。クロックドライバー51には電源電圧Vddが供給されている。これによりクロックドライバー51から出力されるクロックパルスΦ1、Φ2の出力振幅は約Vddとなる。そして、クロックパルスΦ1は容量C2、C4に供給され、クロックパルスΦ2は容量C1、C3に供給される。

【0006】安定状態において、出力に定電流Ioutが流れる場合、チャージポンプ装置への入力電流は、入力電圧Vinからの電流とクロックドライバーから供給される電流となる。これらの電流は、寄生容量への充放電電流を無視すると次のようになる。Φ1=ハイ(High)、Φ2=ロウ(Low)の期間、図中の実線矢印の方向に各々2Ioutの平均電流が流れる。

【0007】また、Φ1=ロウ(Low)、Φ2=ハイ(High)の期間、図の破線矢印の方向に2Ioutの平均電流が流れる。クロックサイクルでのこれらの各平均電流は全てIoutとなる。安定状態におけるチャージポンプ装置の昇圧電圧Voutは以下のように表わされる。

【0008】

【数1】

$$V_{out} = V_{in} - V_d + n(V_\phi' - V_l - V_d)$$

【0009】ここで、 V_ϕ' は各接続ノードにおいて、クロックパルスの変化に伴い結合容量によって生じる電圧振幅である。 V_l は出力電流 I_{out} によって生じる電圧降下、 V_{in} は入力電圧であり、通常プラス昇圧では電源電圧 V_{dd} 、マイナス昇圧では0Vとしている。 V_d は順方向バイアスダイオード電圧(Forward bias diode voltage)、 n はポンピング段数である。更に、 V_l と V_ϕ' は次式で表される。

【0010】

【数2】

$$V_l = \frac{I_{out}}{f(C+C_s)} = \frac{2I_{out}T/2}{C+C_s}$$

【0011】

【数3】

$$V_\phi' = V_\phi \frac{C}{C+C_s}$$

【0012】ここで、 $C1 \sim C4$ はクロック結合容量(clock coupling capacitance)、 C_S は各接続ノードにおける寄生容量(stray capacitance at each node)、 V_ϕ はクロックパルスの振幅(clock pulse amplitude)、 f はクロックパルスの周波数、 T はクロック周期(clock period)である。チャージポンプ装置の電力効率は、クロックドライバーから寄生容量に流れる充放電電流を無視し、 $V_{in}=V_{dd}$ とすると以下の式で表される。

【0013】

【数4】

$$\eta = \frac{V_{out}I_{out}}{(n+1)V_{dd}I_{out}} = \frac{V_{out}}{(n+1)V_{dd}}$$

【0014】このように、チャージポンプ装置においては、ダイオードを電荷転送素子(charge transfer device)として用いて電荷を次段へと次々に転送することにより昇圧を行っている。しかし、半導体集積回路装置への搭載を考えるとプロセスへの適合性からpn接合のダイオードよりMOSトランジスタを使用する方が実現しやすい。

【0015】そこで、図19に示すように、電荷転送用素子としてダイオードD1～D5の代わりにMOSトランジスタM1～M5を用いることが提案された。この場合は式(1)において、 V_d はMOSトランジスタの閾値電圧(threshold voltage) V_{th} となる。

【0016】

【発明が解決しようとする課題】本発明者はチャージポンプ装置を電源回路に応用することを検討した。その結果、以下の問題点を見出した。

【0017】第1に、電源回路として必要な高電圧(十

数V)で且つ大電流(数mA)をチャージポンプ回路で得るためにには、電荷転送用MOSトランジスタのオン抵抗を如何に下げるかという問題である。

【0018】第2に、大電流チャージポンプ装置で生じやすいラッチアップを防止することである。特に、大出力電流のチャージポンプ装置においては、動作開始と共にラッチアップが生じるという問題があった。このラッチアップの発生メカニズムは本発明者の検討によれば以下の通りである。

【0019】図20はチャージポンプ装置をCMOS構造で実現した場合の断面図である。

【0020】この断面構造は、図19に示した電荷転送用MOSトランジスタM2、M3の断面構造に対応している。P型半導体基板10の表面にN型ウエル領域20が形成され、このN型ウエル領域20の中に、分離されたP型ウエル領域31、32が形成されている。そして、P型ウエル領域31内に電荷転送用MOSトランジスタM2が形成されている。P型ウエル領域32内に電荷転送用MOSトランジスタM3が形成されている。

【0021】P型ウエル領域31内に形成された電荷転送用MOSトランジスタM2について更に詳しく説明すると、P型ウエル領域31の表面にN+型のドレイン層D及びソース層Sが形成されている。P型ウエル領域31内には、P型ウエル領域31より高濃度のP+層41が形成されている。そして、ドレイン層DとP+層41とはA1配線等により電気的に接続されている。

【0022】電荷転送用トランジスタM2のドレイン層Dと電荷転送用トランジスタM2が形成されたP型ウエル領域31とは低抵抗で電気的に接続されるので、バッケージ・バイアス効果に起因した電荷転送用トランジスタM2の閾値電圧 V_{th} の上昇が確実に防止される。P型ウエル領域32内に形成された電荷転送用MOSトランジスタM3についても同様に構成されている。また、図示していない電荷転送用MOSトランジスタM1、M4、M5についても同様に構成されている。

【0023】また、N型ウエル領域20はチャージポンプ装置の昇圧された出力電圧 V_{out} を供給することにより、定常状態においてN型ウエル領域20とP型ウエル領域31、32が逆方向バイアスされるようにしている。

【0024】しかしながら、上述したように単一のN型ウエル領域20内に複数のP型ウエル領域31、32を形成すると、ラッチアップが発生し、出力電圧 V_{out} がほとんど昇圧されないことが判明した。その発生メカニズムは本発明者の推定によれば以下の通りである。

【0025】まず、隣接するP型ウエル領域31、32間に寄生サイリスタが形成される。即ち、図20中、縦型のNPNトランジスタTr1及び横型のPNPトランジスタTr2が形成される。ここで、縦型のNPNトランジスタTr1のエミッタは電荷転送用MOSトランジ

スタM2のドレイン層Dであり、ベースはP型ウエル領域31であり、コレクタはN型ウエル領域20である。

【0026】また、横型のPNPトランジスタTr2のエミッタはP型ウエル領域32内に形成されたP+層42であり、ベースはP型ウエル領域31、32間のN型ウエル領域20であり、コレクタはP型ウエル領域31である。これらの寄生NPNトランジスタTr1と寄生PNPトランジスタTr2は寄生サイリスタを構成する。

【0027】上述した図19のチャージポンプ装置の安定動作時には以下の関係が成立つ。出力電圧Vout>V3>V2>V1>入力電圧Vinここで、入力電圧Vinは通常はVdd(クロックドライバーの電源電圧と等しい)である。また、V3は電荷転送用MOSトランジスタM3のソース電圧、V2は電荷転送用MOSトランジスタM2のソース電圧、V1は電荷転送用MOSトランジスタM1のソース電圧である。

【0028】しかし、チャージポンプ装置の立ち上がり時(昇圧動作の開始時)には、V1>V2>V3>Voutという関係になっている。すなわち、初段から順にコンデンサC1、C2、C3、C4を充電していく。

【0029】その結果、V1-Vout>VFとなったとき寄生PNPトランジスタTr2のベース・エミッタ間に電流が流れる。すなわち、寄生NPNトランジスタTr2がオンする。ここで、VFはベース・エミッタ間のオン電圧である。

【0030】この寄生PNPトランジスタTr2のコレクタ電流は、寄生NPNトランジスタTr1のベース電流となるので、これにより寄生NPNトランジスタTr1がオンし、そのエミッタ・コレクタ間が導通する。すると、寄生NPNトランジスタTr1は、寄生PNPトランジスタTr2のベース・エミッタ間電流を流し入れると共に、出力電圧Vout側からも電圧V1側へ電流を流し入れる。

【0031】その結果、出力電圧Voutは上昇しない。上述したような寄生NPNトランジスタTr1と寄生PNPトランジスタTr2との協同的な動作は、ラッチアップである。

【0032】図21に、チャージポンプ装置の動作開始時のV1、V2の回路シミュレーションによる波形図を示す。ここで、V1は電荷転送用MOSトランジスタM2のドレイン電圧、V2は電荷転送用MOSトランジスタM3のドレイン電圧である。図において、Vdsは電荷転送用トランジスタM3のソースドレイン間電圧を示すが、これがVF(=約0.7V)より大きいとNPNトランジスタTr1がオンし、ラッチアップが誘引される。

【0033】本発明は上述した従来技術の課題に鑑みてされたものであり、その目的とするところは大電流で高効率のチャージポンプ装置を実現することである。

【0034】本発明の他の目的は大電流のチャージポンプ装置では回避できなかったラッチアップの発生を防止し、安定した動作を実現することである。

【0035】本発明のさらに他の目的は、BICMOSデバイスにおいて、大電流で高効率であり、かつラッチアップの発生を防止したチャージポンプ装置を実現することである。

【0036】

【課題を解決するための手段】本発明の主な特徴構成は以下の通りである。

【0037】本発明は直列接続された複数の電荷転送用トランジスタを有し、後段の電荷転送用トランジスタから昇圧された出力電圧を出力するチャージポンプ装置において、第1導電型の単結晶半導体基板と、この単結晶半導体基板上に成長された第2導電型のエピタキシャル半導体層と、このエピタキシャル半導体層内に離間されて形成された複数の第1導電型ウエル領域と、これらの第1導電型ウエル領域間に形成された第1導電型分離層とを有し、前記電荷転送用トランジスタを前記複数の第1導電型ウエル領域内に夫々形成したことを特徴とするものである。

【0038】かかる構成によれば、寄生バイポーラトランジスタは第1導電型分離層により電気的に分離されるので、サイリスタは形成されないためラッチアップが発生することが防止される。

【0039】また上記構成において、前記第1導電型分離層は前記エピタキシャル・シリコン層の表面から下方拡散された上分離層と、前記単結晶半導体基板から上方拡散された下分離層と、を有し、前記上分離層の下部と下分離層の上部は前記エピタキシャル・半導体層内で重畠されて成ることである。

【0040】かかる構成によれば、第1導電型分離層は、上下分離構造を採用しているので、横方向拡散が抑えられ、そのパターン面積を極力縮小することができる。

【0041】さらに、前記第1導電型ウエル領域の底部に接すると共に前記下分離層の形成工程と同一工程で形成された第1導電型の埋め込み層と、この埋め込み層に部分的に重畠して形成され、前記第1導電型ウエル領域を前記単結晶半導体基板から電気的に分離する第2導電型の埋め込み層と、を有することである。

【0042】かかる構成によれば、第1導電型の第1の埋め込み層を設けたことにより第1導電型ウエル領域の抵抗を小さくすることができる。

【0043】これにより、ラッチアップ耐性が向上する。しかし第1導電型の第1の埋め込み層のみだと、第1導電型ウエル領域は単結晶半導体基板と導通してしまうので、第1導電型ウエル領域を電荷転送用トランジスタのドレイン層と同電位に設定してバックゲートバイアス効果を抑止することができない。そこで、第2導電型

の第2の埋め込み層を設けている。

【0044】これにより、第1導電型ウエル領域を前記単結晶半導体基板から電気的に分離して、第1導電型ウエル領域を電荷転送用トランジスタのドレイン層と同電位に設定することができるようになる。

【0045】

【発明の実施の形態】次に、本発明の第1の実施形態について図1乃至図4を参照しながら説明する。まず、チャージポンプ装置を集積回路として構成するための、BICMOSのデバイス構造について図1を参照しながら説明する。

【0046】P型単結晶シリコン基板50上に気相成長された、例えば $1\text{--}2.5\Omega\cdot\text{cm}$ 程度の比抵抗を有するN型エピタキシャル・シリコン層51にNチャネル型MOSトランジスタ(NMOS)、Pチャネル型MOSトランジスタ(PMOS)、NPN型バイポーラトランジスタ(NPN Tr)がそれぞれの所定領域に形成されている。

【0047】Nチャネル型MOSトランジスタは、N型エピタキシャル・シリコン層51の表面に形成されたP型ウエル領域52内に形成されている。P型ウエル領域52の深さは例えば $2\mu\text{m}$ 程度である。Nチャネル型MOSトランジスタはP型ウエル領域52表面に形成されたn+型ドレイン層D及びn+型ソース層S、ゲート絶縁膜上に形成されたゲート電極Gとを有している。Nチャネル型MOSトランジスタは微細化のために、いわゆるLDD構造としても良い。また、このNチャネル型MOSトランジスタと隣接して、P型ウエル領域52の表面には基体(ウエル領域)バイアス用のP+型層53が形成されている。

【0048】Pチャネル型MOSトランジスタは、N型エピタキシャル・シリコン層51の表面に形成されたN型ウエル領域54内に形成されている。Pチャネル型MOSトランジスタはN型ウエル領域54表面に形成されたP+型ドレイン層D及びP+型ソース層S、ゲート絶縁膜上に形成されたゲート電極Gとを有している。

【0049】また、P型ウエル領域52の底部に接してウエル抵抗低減用のP+型埋め込み層55が形成されている。このP+型埋め込み層55は後述する下分離層58と同一工程で形成される拡散層であり、P型単結晶シリコン基板50とN型エピタキシャル・シリコン層51との境界領域に跨って形成される。

【0050】さらに、N+型埋め込み層56がP型単結晶シリコン基板50とN型エピタキシャル・シリコン層51との境界領域に跨って形成されている。N+型埋め込み層56は、Pチャネル型MOSトランジスタの形成されたN型ウエル領域54の下方から、Nチャネル型MOSトランジスタの形成されたP型ウエル領域52の下方にまで延在されている。

【0051】すなわち、N+型埋め込み層56はP+型

埋め込み層55に部分的に重疊されている。N+型埋め込み層56の不純物濃度をP+型埋め込み層55の不純物濃度より高くすると、この重疊領域57の導電型はコンペニセーションによりN型となる。

【0052】これにより、P型ウエル領域52をP型単結晶シリコン基板50から電気的に分離し、独立にウエル電位を設定することができるようになる。具体的には、基体バイアス用のP+型層53に接続された端子BGに電圧を印加することにより、P型ウエル領域52の電位を設定することができる。

【0053】これにより、Nチャネル型MOSトランジスタのドレイン層DをP型ウエル領域52と電気的に接続してバックゲートバイアス効果が生じないようにすることができる。そのためには、P型層53とドレイン層Dとを接続する配線(例えばA1配線)を形成すればよい。

【0054】Nチャネル型MOSトランジスタはチャージポンプ装置において、電荷転送用トランジスタとして用いられるので、そのオン抵抗を低減し、チャージポンプ装置の大電流化を図ることができる。また、Nチャネル型MOSトランジスタはいわゆるトランスマッシュゲートとしても用いられるが、この場合にもオン抵抗を低減することができる。また、トランスマッシュゲートの入出力特性の線形性を向上することができる。

【0055】ここで、本実施形態のBICMOS構造と他のBICMOS構造とを対比すれば以下の通りである。他の構造では図2に示すように、N+型埋め込み層56はPチャネル型MOSトランジスタの形成されたN型ウエル領域54の下方に局在して形成され、ウエル抵抗を低減する役割を果たしている。

【0056】しかしながら、この構造では、Nチャネル型MOSトランジスタのP+型ウエル領域52はP+型埋め込み層55を介してP型単結晶シリコン基板50と導通してしまう。P型単結晶シリコン基板50は通常は接地レベルに設定されるから、P+ウエル領域52の電位も接地レベルに固定されてしまう。

【0057】そこで、本実施形態ではN+型埋め込み層56をNチャネル型MOSトランジスタの領域まで延在させることにより、P型ウエル領域52をP型単結晶シリコン基板50から電気的に分離するようにした。

【0058】また、NPN型バイポーラトランジスタ(NPN Tr)は、P型の下分離層58、P型の上分離層59によって、隣接するデバイスから電気的に分離されたN型エピタキシャル・シリコン層51内に形成されている。P型の下分離層58はP型単結晶シリコン基板50からボロンなどの不純物を上方拡散することにより形成される。一方、P型の上分離層59はN型エピタキシャル・シリコン層51の上面からボロンなどの不純物を下方拡散することにより形成される。これにより、P型の下分離層58の上部とP型の上分離層59の下部

はN型エピタキシャル・シリコン層51内で重畠され、一体化された分離層となる。

【0059】そして、電気的に分離されたN型エピタキシャル・シリコン層51の表面にP型ベース領域60が形成される。このP型ベース領域60の表面にはN+型のエミッタ層E、ベース電極取り出し用のP+型層Dが形成される。また、P型ベース領域60に隣接したN型エピタキシャル・シリコン層51の表面にコレクタ電極取り出し用のN+型層Cが形成される。また、N型エピタキシャル・シリコン層51とP型単結晶シリコン基板50との境界にはN+型埋め込み層61が形成されている。このN+型埋め込み層61はコレクタ抵抗を低減するための層であり、N+型埋め込み層56と同一工程で形成される。

【0060】なお、N型エピタキシャル・シリコン層51の表面のデバイス形成領域以外には、素子分離用のフィールド酸化膜62が形成されている。フィールド酸化膜62はいわゆるLOCOS(Local Oxidation Of Silicon)法により形成されている。

【0061】図3は、縦型PNPバイポーラトランジスタを示す断面図である。N型エピタキシャル・シリコン層51の表面にN型ベース領域65が形成されている。このN型ベース領域65の表面に、P+型のエミッタ層E、ベース電極取り出し用のN+型層Dが形成されている。また、N型ベース領域65と隣接して、N型エピタキシャル・シリコン層51の表面にコレクタ電極取り出し用のP+型層66が形成されている。

【0062】そして、コレクタ電極取り出し用のP+型層66は、P型の上分離層59と同一工程で形成されたP型層67を介して、P+型埋め込み層68と接続されている。P+型埋め込み層68はコレクタ抵抗を低減するための層である。また、P+型埋め込み層68に重畠してN+型埋め込み層69が形成されている。P+型埋め込み層68とN+型埋め込み層69との重畠領域70はN型の領域となる。これにより、コレクタはP型単結晶シリコン基板50から電気的に分離される。P+型埋め込み層68とN+型埋め込み層69によって重畠領域70が形成されている構造は、前述したNチャネル型MOSトランジスタの構造と同様である。すなわち、これらの製造工程が共通化されているため製造工数が増えることはない。

【0063】次に、図4を参照しながらチャージポンプ装置の断面構造について説明する。このチャージポンプ装置の回路構成は図19に示したものと同様である。本実施形態では電荷転送用MOSトランジスタのドレイン層が基体(ウェル領域)に接続されている。また、図1と同一の構成要素については同一符号を付して詳細な説明を省略する。

【0064】図4は図19のチャージポンプ装置の電荷転送用MOSトランジスタM2、M3を示している。P

型の下分離層58、P型の上分離層59によって相互に電気的に分離されたN型エピタキシャル・シリコン層51内には、P型ウェル領域52A、52Bが形成されている。そして、P型ウェル領域52A、52Bに電荷転送用MOSトランジスタM2、M3がそれぞれ形成されている。P+型埋め込み層55、N+型埋め込み層56、重畠領域57の構造については図1と同様である。

【0065】電荷転送用MOSトランジスタM2のドレイン層Dは、P型ウェル領域52Aに形成されたP+型層53とA1配線などで接続されている。これにより、電荷転送用MOSトランジスタM2のゲート・基体間電圧Vgb=M2のゲート・ドレイン間電圧Vgd、という関係が成立つので、バックゲート・バイアス効果による電荷転送用トランジスタの閾値電圧Vthの上昇が防止される。電荷転送用MOSトランジスタM3についても同様である。これにより、チャージポンプ装置の電荷転送用MOSトランジスタM1～M5のオン抵抗が低減されるので、大電流出力のチャージポンプ装置を実現することができる。

【0066】また、P型ウェル領域52A、52Bの各々に隣接したN型エピタキシャル・シリコン層51の表面には電極取り出し用のN+型層71が形成されている。これらの各N+型層71にチャージポンプ装置の出力電圧Voutが印加されることにより、N型エピタキシャル・シリコン層51は正の高電圧nVddにバイアスされる。

【0067】ここで、nはチャージポンプ装置の段数、Vddはその電源電圧である。また、P型単結晶基板50は接地電位0V若しくは負電位にバイアスされているものとする。これにより、P型ウェル領域52A、52BとN型エピタキシャル・シリコン層51とで形成されるPN接合、N型エピタキシャル・シリコン層51とP型単結晶基板50とで形成されるPN接合はそれぞれ逆方向にバイアスされる。

【0068】また、上述したようなデバイス構造によれば、ラッチアップは発生しない。その理由について以下で説明する。

【0069】図4に示すように、寄生NPNトランジスタTr3及び寄生PNPトランジスタTr4が形成される。ここで、寄生NPNトランジスタTr3のエミッタは電荷転送用MOSトランジスタM2のドレイン層D、ベースはP型ウェル領域52A、コレクタはN型の重畠領域57(これはN型エピタキシャル・シリコン層51と連結されている)で構成されている。また、寄生PNPトランジスタTr4のエミッタはP型ウェル領域52B、ベースは分離されたN型エピタキシャル・シリコン層51、コレクタはP型の下分離層58及びP型の上分離層59(これらはP型単結晶基板50と連結されている)である。

【0070】しかしながら寄生NPNトランジスタTr

3と寄生PNPトランジスタTr4とは下分離層58及び上分離層59によって電気的に分断されている。このため、図20に示したようなサイリスタが形成されない。したがって、ラッチアップ耐性が大幅に向上去ると考えられる。

【0071】上述した実施形態では、本発明の4段のディクソン・チャージポンプ装置への適用例について説明したがその段数は4段に限定されることは明らかである。

【0072】また、電荷転送用MOSトランジスタをNチャネル型で形成したが、Pチャネル型で形成した場合でも、ウエル領域等の極性を反転させることにより同様に適用できる。マイナス昇圧のチャージポンプ装置では、電荷転送用MOSトランジスタにおける基板とソースの接続関係及びクロックのタイミングが、プラス昇圧のチャージポンプ装置に対して逆になるだけである。

【0073】さらに、電荷転送用トランジスタM1～M5はゲートとドレインを共通接続した構成としたが、これに限定されず、ゲートとドレインが接続されていないで電荷転送用MOSトランジスタM1～M5がオンする時に、ゲート・ソース間に高い電圧が印加される回路構成を採用したチャージポンプ装置にも本発明は適用することができ同様の効果を得ることができる。

【0074】図5は、本発明の第2の実施形態に係るチャージポンプ装置の断面図である。このチャージポンプ装置の回路構成は、第1の実施形態と同様である。図5は第1の実施形態と同様に、図19のチャージポンプ装置の電荷転送用MOSトランジスタM2、M3を示している。

【0075】本実施形態が第1の実施形態と異なる点は、P型ウエル領域52A、52Bの下方にP+型埋め込み層55が形成されていない点である。P+型埋め込み層55が無い分、P型ウエル領域52A、52Bのウエル抵抗を低減する効果は消失するが、下分離層59及び上分離層59を設けたことにより、従来と比較すればラッチアップ耐性は向上するものと考えられる。

【0076】図6は、本発明の第3の実施形態に係るチャージポンプ装置の断面図である。このチャージポンプ装置の回路構成は、第1の実施形態と同様である。図6は図19のチャージポンプ装置の電荷転送用MOSトランジスタM2、M3を示している。

【0077】本実施形態が第1の実施形態と異なる点は、P型ウエル領域52A、52Bの下方にP+型埋め込み層55が形成されていない点に加えて、N+型埋め込み層56も形成されていない点である。

【0078】N+型埋め込み層56も形成されていない分、N型エピタキシャル・シリコン層51の抵抗を低減する効果は低減する効果は消失するが、本実施形態についても下分離層59及び上分離層59を設けたことにより、従来に比較すれば、ラッチアップ耐性は向上するも

のと考えられる。

【0079】次に本発明の第4の実施形態について、図7乃至図17を参照しながら説明する。本実施形態のチャージポンプ装置では、レベルシフト回路により、電荷転送用MOSトランジスタのゲートにレベルシフトした電圧を印加することにより、そのオン抵抗をさらに小さくする。これにより、さらに大電流のチャージポンプ装置を実現できる。ところが、レベルシフト回路は高電圧を出力するため、高耐圧トランジスタを用いて回路を構成する必要がある。そこで、上述した第1の実施形態で用いたデバイスに、高耐圧MOSトランジスタを加えることとした。

【0080】そこで、本実施形態のチャージポンプ装置に適用されるデバイス構造を説明する前に、レベルシフト回路を含めたチャージポンプ装置の回路構成について説明する。

【0081】図7において、4つの電荷転送用MOSトランジスタM1～M4は直列接続されている。前段のM1、M2はNチャネル型、後段のM3、M4はPチャネル型である。この点は第1～第3の実施形態とは異なる。また、M1～M4のゲート・基体間電圧Vgbはゲート・ドレイン間電圧Vgdと同一値となるように、ドレインと基体が同電位となるように接続し、バックゲートバイアス効果を抑制している。この点は第1～第3の実施形態と同様である。

【0082】また、M1のソースには入力電圧Vinとして電源電圧Vddが供給されている。また、M4のドレインからの昇圧電圧Voutが出力され、電流負荷Lに供給される。

【0083】C1、C2、C3は電荷転送用MOSトランジスタM1～M4の接続点（ポンピングノード）に一端が接続された結合コンデンサである。結合コンデンサC1～C3の他端にはクロックパルスCLKとこれと逆相のクロックパルスCLKBが交互に印加される。クロックパルスCLK、CLKBは不図示のクロックドライバーから出力される。このクロックドライバーには電源電圧Vddが供給されているものとする。

【0084】電荷転送用MOSトランジスタM1とM2の各ゲートには反転レベルシフト回路S1とS2の出力が供給されている。また、電荷転送用MOSトランジスタM3とM4の各ゲートには非反転レベルシフト回路S3とS4の出力が供給されている。

【0085】反転レベルシフト回路S1、S2の回路構成及び動作波形図を図8に示す。図8(a)に示すように、この反転レベルシフト回路は入力インバータINV、差動入力MOSトランジスタM11とM12、クロス接続されたMOSトランジスタM13とM14とを備える。また、これらに加えてブルアップ接続されたMOSトランジスタM15、M16を備えている。そして、MOSトランジスタM15のゲートには電圧V12が印

加されると共にソースには電位Aが印加されている。

【0086】また、MOSトランジスタM16のゲートにはV12と逆相の電圧V11が印加されると共にソースには電位Bが印加されている。ここで、電位A>電位Bである。M11、M12はNチャネル型、M13～M16はPチャネル型であり、いずれも高耐圧MOSトランジスタである。

【0087】また、図8(b)に示すように、上述の構成のレベルシフト回路において、MOSトランジスタM15、M16をインバータ構成とするように変更してもよい。

【0088】上述した構成の反転レベルシフト回路の動作波形を図8(c)に示す。このレベルシフト回路は電位Aと中間電位B(A>B>0V)を交互に出力する。次に、非反転レベルシフト回路S3、S4の回路構成及び動作波形図を図9に示す。反転レベルシフト回路S1、S2と異なる点は、電位AにプルアップされたMOSトランジスタM15のゲートに電圧V11が印加され、電位BにプルアップされたMOSトランジスタM16のゲートに電圧V12が印加されている点である(図9(a))。なお、図9(b)に示すように、MOSトランジスタM15、M16をインバータ構成にしてもよい。

【0089】図9(c)の動作波形図に示すように、この非反転レベルシフト回路S3、S4は入力電圧INに対して非反転のレベルシフト動作を行う。

【0090】上述したレベルシフト回路を用いることにより、後述するように、電荷転送用MOSトランジスタM3、M4のゲート・ドレイン間電圧の絶対値を一定電圧(2Vdd)に揃えることが可能になる。

【0091】反転レベルシフト回路S1、S2、非反転レベルシフト回路S3、S4とチャージポンプ回路との接続関係は以下の通りである。反転レベルシフト回路S1にはクロックパルスCLK'、反転レベルシフト回路S2にはクロックパルスCLKB'が入力される。クロックパルスCLK'とCLKB'は夫々クロックパルスCLKとCLKBから作成されるが、電荷転送用MOSトランジスタM1～M4に電流が逆流するのを防止するために、ロウ(Low)の期間が短くなっている。

【0092】すなわち、電荷転送用MOSトランジスタM1～M4が完全にオフしてからクロックパルスCLKとCLKBの変化により各ポンピングノードの昇圧を行うようにしている。上記クロックパルスの位相関係は図10に示されている。

【0093】また、図7に示されているように、反転

電荷転送用MOSトランジスタのゲート・ドレイン間電圧V_{gd}

ベルシフト回路S1の高電位側の電源(電位A)としては、昇圧された1段後のポンピングノードの電圧V2を帰還して用いる。

【0094】同様に反転レベルシフト回路S2の高電位側の電源(電位A)として昇圧された1段後のポンピングノードの電圧V3を帰還して用いる。また、反転レベルシフト回路S1、S2の低電位側の電源(電位B)としては、各段の電圧であるVdd、V1が夫々印加されている。

【0095】一方、非反転レベルシフト回路S3の低電位側の電源(電位B)としては、1段前のポンピングノードの電圧V1が用いられ、同様に非反転レベルシフト回路S4の低電位側の電源(電位B)としては、1段前のポンピングノードの電圧V2が用いられる。また、非反転レベルシフト回路S3、S4の高電位側の電源(電位A)としては、各段の電圧であるV3、Voutが夫々印加されている。

【0096】これらの構成により、電荷転送用トランジスタM1～M4のゲート・ドレイン間電圧V_{gd}(トランジスタがオン状態の時)は以下のとおり2Vddに揃えることが導かれる。まず、次式の関係が成り立つ。

$$V_{gd}(M1) = V2(\text{High}) - Vdd$$

$$V_{gd}(M2) = V3(\text{High}) - V1(\text{High})$$

$$V_{gd}(M3) = V1(\text{Low}) - V3(\text{Low})$$

$$V_{gd}(M4) = V2(\text{Low}) - Vout$$

次に、定常状態のチャージポンプの昇圧動作から、さらに以下の関係が成り立つ。

$$V1(\text{High}) = 2Vdd, V1(\text{Low}) = Vdd$$

$$V2(\text{High}) = 3Vdd, V2(\text{Low}) = 2Vdd$$

$$V3(\text{High}) = 4Vdd, V3(\text{Low}) = 3Vdd, Vout = 4Vdd$$

これらの関係式から、全ての電荷転送用MOSトランジスタのオン時のV_{gd}の絶対値は表1に示すように同一値2Vddとなることが導かれる。したがって、高いV_{gd}により電荷転送用MOSトランジスタM1～M4のオン抵抗が下がり、高効率で大出力電流のチャージポンプ回路が実現できる。また、電荷転送用MOSトランジスタM1～M4のゲート酸化膜厚(thickness of gate oxide)は一律に2Vddに耐える厚みに設計すれば良いので、電荷転送用MOSトランジスタのV_{gd}が不均一である場合に比べて、オン抵抗(ON-state resistance)を低く設計でき効率が良い。

【0097】

【表1】

MOSFET	M1	M2	M3	M4
V _{gd}	2Vdd	2Vdd	-2Vdd	-2Vdd

【0098】図10はチャージポンプ回路の動作を説明するためのタイミング図である。電荷転送用MOSトランジスタM1～M4はクロックパルスに応じて交互にオン・オフを繰り返す。ここで、反転レベルシフト回路S1とS2、非反転レベルシフト回路S3とS4に印加されるクロックパルスCLK'、CLKB'はデューティが50%ではない。すなわち、図に示すようにロウ(Low)の期間が短く設定されている。このため、電荷転送用MOSトランジスタM1～M4のオンの期間は短くなる。この理由は以下の通りである。

【0099】電荷転送用MOSトランジスタM1～M4はダイオード接続されていないので逆方向電流が流れる危険があり、これは電力効率を悪化させる。そこで、この逆方向電流を防ぐため、電荷転送用MOSトランジスタM1～M4のオンの期間は短くして、オフの期間に、結合コンデンサC1～C3に印加されるクロックパルスCLK、CLKBを変化させてポンピングを行っている。

【0100】また、図11は各ポンピングノードの電圧波形V1、V2、V3を示す図である。図中、VdはクロックパルスCLK'、CLKB'の振幅、ΔVdsはMOSトランジスタM1～M4のドレイン・ソース間電圧である。

【0101】次に上述したチャージポンプ装置のデバイス構造について図12及び図13を参照しながら説明する。図12は図7に示したチャージポンプ装置の電荷転送用MOSトランジスタM1、M2の構造を示す断面図である。また、図13は図8に示した反転レベルシフト回路S1、S2、図9に示した非反転レベルシフト回路S3、S4のNチャネル型の高耐圧MOSトランジスタM11、M12のデバイス構造を示す断面図である。

【0102】前述したように第1の実施形態においては、N+型埋め込み層56がP+型埋め込み層55に重畠されていた(図1、図4参照)。このため、Nチャネル型MOSトランジスタのソースドレイン耐圧がある程度高くなると、Nチャネル型MOSトランジスタの耐圧はドレイン層D(あるいはソース層S)とN+型埋め込み層56との間の耐圧で決まってしまう。これは、ドレイン層D(あるいはソース層S)からの空乏層がN+型埋め込み層56まで到達してしまうからである。

【0103】特に、レベルシフト回路に用いられる高耐圧MOSトランジスタについては例えれば20V程度のソースドレイン耐圧が必要とされるが、ドレイン層D(あるいはソース層S)とN+型埋め込み層56との間の耐圧で決まってしまうために、この目標耐圧を実現するのが困難であることがわかった。

【0104】そこで、N型エピタキシャル・シリコン層51を厚く形成して、ドレイン層D(あるいはソース層S)とN+型埋め込み層56との距離Xd(図1参照)を大きくすることが考えられる。しかしながら、そうす

ると、P型ウエル領域52BとP+型埋め込み層55との間に離れてしまい、P+型埋め込み層55を設けた効果、すなわちウエル抵抗の低減とラッチアップ耐性の向上という効果が得られなくなってしまう。

【0105】そこで、本実施形態ではN型エピタキシャル・シリコン層51を2段に積層する構造とした(以下、2段エピタキシャル・シリコン層構造という)。すなわち、P型単結晶シリコン基板50上のN+埋め込み層56の形成予定領域にN型不純物(アンチモンや砒素)をイオン注入法等により導入した後、第1のN型エピタキシャル・シリコン層51Aを気相成長させる。その後、P+埋め込み層55、下分離層58の形成予定領域にP型不純物(ボロン等)をイオン注入法等により導入した後、第2のN型エピタキシャル・シリコン層51Bを気相成長させる。

【0106】上記N型不純物及びP型不純物は気相成長中に熱拡散するが、十分な拡散距離を得るために所定の拡散工程を実施しても良い。その後、第2のN型エピタキシャル・シリコン層51Bの上面から不純物をイオン注入や熱拡散法により導入し、P型ウエル領域52A、52B、52Cを形成する。また、同様にして、下分離層58と上下方向から一体化される上分離層59を形成する。

【0107】これにより、図12示すように電荷転送用MOSトランジスタM1、M2の形成領域については、P型ウエル領域52A、52Bは第2のN型エピタキシャル・シリコン層51B内に形成され、P型ウエル領域52A、52Bの下にはP+型埋め込み層55が接して形成される。P+型埋め込み層55は、第1のN型エピタキシャル・シリコン層51Aと第2のN型エピタキシャル・シリコン層51Bとの境界に跨って形成され、P+型埋め込み層55の下にN+型埋め込み層56が接して形成される。

【0108】したがって、2段エピタキシャル構造を採用したことにより、P+型埋め込み層55とN+型埋め込み層56との重疊領域が狭くなり、結果としてP+型埋め込み層55は上下方向に幅広に形成される。このため、電荷転送用MOSトランジスタM1、M2のドレイン層D(又はソース層S)とN+型埋め込み層56との距離Xd1を大きくすることができ、ソースドレイン耐圧を確保することができる。

【0109】図13に示すように高耐圧MOSトランジスタについても同様である。すなわち、P型ウエル領域52Cは第2のN型エピタキシャル・シリコン層51B内に形成され、P型ウエル領域52の下にはP+型埋め込み層55が接して形成される。P型埋め込み層55は、第1のN型エピタキシャル・シリコン層51Aと第2のN型エピタキシャル・シリコン層51Bとの境界に跨って形成され、P+型埋め込み層55の下にN+型埋め込み層56が接して形成される。

【0110】そして、P型ウエル領域52C内に高耐圧MOSトランジスタが形成される。高耐圧MOSトランジスタは、高濃度のソース層N+Sと高濃度のドレイン層N+D、低濃度で深いソース層N-Sと低濃度で深いドレイン層N-D、ゲート絶縁膜上に形成されたゲート電極Gを有している。

【0111】したがって、2段エピタキシャル構造を採用したことにより、P+型埋め込み層55とN+型埋め込み層56との重畳領域が狭くなり、結果としてP+型埋め込み層55は上下方向に幅広に形成される。このため、高耐圧MOSトランジスタのドレイン層（又はソース層）とN+型埋め込み層56との距離Xd2を大きくすることができ、ソースドレイン耐圧を確保することができる。

【0112】図14～図16は、2段エピタキシャル・シリコン層構造の製造方法を示す図である。この製造方法は図13の高耐圧MOSトランジスタ、図12の電荷転送用MOSトランジスタM1、M2に共通に適用できるが、ここでは図13の高耐圧MOSトランジスタへの適用について説明する。

【0113】まず、図14（A）に示すように、P型単結晶シリコン基板50の表面に、アンチモン又は砒素のようなN型不純物を、酸化膜90をマスクとして選択的に拡散させる。これにより、N+型層56が形成される。そのシート抵抗は30Ω/□程度である。

【0114】そして、図14（B）に示すように、第1のN型エピタキシャル・シリコン層51Aを気相成長させる。その厚さは1～3μm程度、比抵抗は1～2Ω・cm程度であることが好ましい。N+型層56は第1のN型エピタキシャル・シリコン層51Aにも拡散され、N+型埋め込み層56となる。

【0115】次に、図14（C）に示すように、第1のN型エピタキシャル・シリコン層51A上にホトレジスト層91を形成し、P+型埋め込み層55及びP型の下分離層58の形成予定領域にP型不純物、例えばボロンをイオン注入する。その加速電圧は160KeV、ドーズ量は1×10¹⁴/cm²程度である。その後、100°Cで1時間程度の熱拡散処理を行う。

【0116】次に、図15（A）に示すように、第1のN型エピタキシャル・シリコン層51A上に、第2のN型エピタキシャル・シリコン層51Bを気相成長する。その厚さは2～4μm程度、比抵抗は1～2Ω・cm程度であることが好ましい。これにより、第1のN型エピタキシャル・シリコン層51Aと第2のN型エピタキシャル・シリコン層51Bとの境界に跨って、P+型埋め込み層55が形成される。同時に、P型の下分離層58が形成される。

【0117】次に、図15（B）に示すように、第2のN型エピタキシャル・シリコン層51B上にホトレジスト層92を形成し、ホトレジスト層92をマスクとして

P型ウエル領域52Cの形成予定領域にP型不純物、例えばボロンをイオン注入する。その条件は、加速電圧40KeV、ドーズ量3×10¹⁴/cm²である。その後、ホトレジスト層92を除去し、1100°Cで1時間程度の熱拡散処理を行うと、第2のN型エピタキシャル・シリコン層51B内にP型ウエル領域52Cが形成される。

【0118】次に、図16（A）に示すように、第2のN型エピタキシャル・シリコン層51B上にホトレジスト層93を形成し、ホトレジスト層93をマスクとして、P型の上分離層59の形成予定領域にP型不純物、例えばボロンをイオン注入する。その条件は、加速電圧40KeV、ドーズ量1×10¹⁴/cm²である。その後、ホトレジスト層93を除去し、1100°Cで1時間程度の熱拡散処理を行うと、図16（B）に示すように、P型の上分離層59が形成される。P型の上分離層59は下分離層58と一体化される。

【0119】以上のように、2段エピタキシャル構造を採用したことにより、P+型埋め込み層55とN+型埋め込み層56との重畳領域が狭くなり、結果としてP+型埋め込み層55は上下方向に幅広に形成される。これは換言すれば、より深いP型ウエル領域52を形成することができるということである。深いウエルは高耐圧化のために有利である。すなわち、高耐圧MOSトランジスタのドレイン層（又はソース層）とN+型埋め込み層56との距離を大きくすることができるのでソースドレイン耐圧を向上できる。

【0120】ところで、高耐圧MOSトランジスタのソースドレイン耐圧を高くするためには、図13に示すように、低濃度のドレイン層N-Dが高濃度のドレイン層N+Dよりも深く形成し、低濃度のソース層N-Sが高濃度のソース層N+Sよりも深く形成すればよい。ドレイン（又はソース）からの空乏層を広げて電界集中を緩和するためである。

【0121】この場合でも2段エピタキシャル構造を採用したことにより、低濃度のドレイン層N-D（又は低濃度ソース層N-S）とN+型埋め込み層56との距離Xd2は大きくなるので、ソースドレイン耐圧が低濃度のドレイン層N-D（又は低濃度ソース層N-S）とN+型埋め込み層56との間の耐圧で決まってしまうことが防止される。すなわち、ラッチアップ耐性の低下等を招くことなく更なる高耐圧化を追求することが可能である。

【0122】ここで、目標とするソースドレイン耐圧とエピタキシャル条件との関係について付け加えると、耐圧20Vを目標とする場合、第1のN型エピタキシャル・シリコン層51Aの厚さは2μm、耐圧30Vを目標とする場合、第1のN型エピタキシャル・シリコン層51Aの厚さは3μmである。この場合、第2のN型エピタキシャル・シリコン層51Bの厚さは3.5μmとす

る。

【0123】また、上述した2段エピタキシャル構造は少ない熱拡散量で深いP型ウエル領域を形成できるという効果も有している。すなわち、P型ウエル領域52A、52B、52Cはその下方のP+型埋め込み層55と一体化されているので、実質的にはP型埋め込み層55の深さまでがP型ウエル領域の深さであると見なすことができる。

【0124】例えばCMOSのP型ウエル領域は基板の表面からボロンなどの不純物を基板内部へ拡散させて形成するが、深いウエルを形成するには高温で長時間の熱拡散処理が必要である。

【0125】これに対して、2段エピタキシャル構造では、P+型埋め込み層55を第1のN型エピタキシャル・シリコン層51Aから第2のN型エピタキシャル・シリコン層51Bへ拡散させ、P型ウエル領域52Aを第2のN型エピタキシャル・シリコン層51Bから下方へ拡散させているので、熱処理量を格段に抑えることができる。

【0126】例えば、同じ深さのウエルを形成するために、従来のCMOSプロセスでは熱処理温度として1200°Cが必要であるのに対して、2段エピタキシャル構造では上述のように1100°C程度で足りる。これにより、P型ウエル領域52A、52B、52Cの横方向の拡散も抑えられるので、結果としてチャージポンプ装置のパターン面積を縮小することができる。

【0127】図17は、図7に示したチャージポンプ装置の電荷転送用MOSトランジスタM1、M2、M3、M4のデバイス構造を示す断面図である。なお、図12と同一の構成部分については同一の符号を付して詳細な説明を省略する。

【0128】2段エピタキシャル構造において、第2のN型エピタキシャル・シリコン層51B内に、P型ウエル領域52A、52B、N型ウエル領域80A、80Bがそれぞれ隣接して形成されている。これらの4つのウエル領域は隣接領域に設けられたP型の下分離層58及びP型の上分離層59によって相互に分離されている。

【0129】そして、P型ウエル領域52A内にNチャネルの電荷転送用MOSトランジスタM1が、P型ウエル領域52B内にNチャネルの電荷転送用MOSトランジスタM2が形成されている。Nチャネルの電荷転送用MOSトランジスタM1のゲートには反転レベルシフト回路S1の出力電圧VS1が印加され、Nチャネルの電荷転送用MOSトランジスタM2のゲートには反転レベルシフト回路S2の出力電圧VS2が印加されている。また、Nチャネルの電荷転送用MOSトランジスタM1のドレイン層はP型ウエル領域52Aに、Nチャネルの電荷転送用MOSトランジスタM2のドレイン層はP型ウエル領域52Bに、それぞれ接続されている。

【0130】また、N型ウエル領域80A内にPチャネルの電荷転送用MOSトランジスタM3が、N型ウエル領域80B内にPチャネルの電荷転送用MOSトランジスタM4が形成されている。Pチャネルの電荷転送用MOSトランジスタM3のゲートには非反転レベルシフト回路S3の出力電圧VS3が印加され、Pチャネルの電荷転送用MOSトランジスタM4のゲートには非反転レベルシフト回路S4の出力電圧VS4が印加されている。

【0131】また、Pチャネルの電荷転送用MOSトランジスタM3のドレイン層はN型ウエル領域80Aに、Pチャネルの電荷転送用MOSトランジスタM4のドレイン層はN型ウエル領域80Bに、それぞれ接続されている。

【0132】また、P型単結晶シリコン基板50は接地電位又は負電位にバイアスされると共に、N型エピタキシャル・シリコン層51Bはチャージポンプ装置の出力電圧Voutにバイアスされているものとする。

【0133】上述した構成のチャージポンプ装置によれば、電荷転送用MOSトランジスタM1～M4のバックゲートバイアス効果が抑止されるので、オン抵抗が低減され、大電流のチャージポンプ装置を実現することができる。

【0134】また、電荷転送用MOSトランジスタM1～M4をN型エピタキシャル・シリコン層51B内に形成し、P型の下分離層58及びP型の上分離層59によって分離して寄生バイポーラトランジスタから成るサイリスタが形成されないようにしているので、ラッチアップ耐性を向上することができる。

【0135】

【発明の効果】以上説明したように、本発明のチャージポンプ装置によれば、BiCMOSの分離構造を利用して電荷転送用トランジスタを相互に分離しているので寄生バイポーラトランジスタは電気的に分断されるためラッチアップが発生することが防止される。これにより、高効率で大電流のチャージポンプ装置を実現することができる。

【0136】また、電荷転送用トランジスタが形成されているウエル領域を単結晶半導体基板から分離する埋め込み層を設けたので、電荷転送用トランジスタとドレイン層とウエル領域とを電気的に接続して、バックゲートバイアス効果を抑制し、大電流のチャージポンプ装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る本発明のBiCMOS技術で形成されたデバイス構造を示す図である。

【図2】本発明の第1の実施形態に係るBiCMOS技術で形成されたデバイス構造を示す図である。

【図3】本発明の第1の実施形態に係る縦型PNPバイポーラトランジスタを示す断面図である。

【図4】本発明の第1の実施形態に係るチャージポンプ

装置の断面構造を示す図である。

【図5】本発明の第2の実施形態に係るチャージポンプ装置の断面図である。

【図6】本発明の第3の実施形態に係るチャージポンプ装置の断面図である。

【図7】本発明の第4の実施形態に係るチャージポンプ装置の回路図である。

【図8】本発明の第4の実施形態に係る反転レベルシフト回路S1、S2の回路構成及び動作波形を示す図である。

【図9】本発明の第4の実施形態に係る非反転レベルシフト回路S3、S4の回路構成及び動作波形を示す図である。

【図10】本発明の第4の実施形態に係るチャージポンプ装置におけるクロックパルス及び電荷転送トランジスタのゲート信号の位相関係を示す図である。

【図11】本発明の第4の実施形態に係るチャージポンプ装置の各ポンピングノードの電圧波形V1、V2、V3を示す図である。

【図12】本発明の第4の実施形態に係るチャージポンプ装置の電荷転送用トランジスタM1、M2の構造を示す断面図である。

【図13】本発明の第4の実施形態に係るチャージポンプ装置に用いられるNチャネル型の高耐圧MOSトランジスタM11、M12のデバイス構造を示す断面図である。

【図14】2段エピタキシャル・シリコン層構造の製造方法を示す図である。

【図15】2段エピタキシャル・シリコン層構造の製造

方法を示す図である。

【図16】2段エピタキシャル・シリコン層構造の製造方法を示す図である。

【図17】本発明の第4の実施形態に係るチャージポンプ装置の電荷転送トランジスタM1、M2、M3、M4のデバイス構造を示す断面図である。

【図18】従来例に係る4段のディクソン・チャージポンプ装置の回路図である。

【図19】従来例に係るチャージポンプ装置の回路図である。

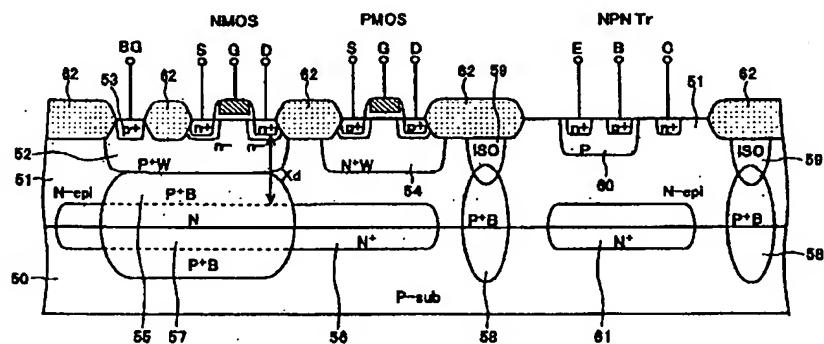
【図20】従来例に係るチャージポンプ装置をCMOS構造で実現した場合の断面図である。

【図21】従来例に係るチャージポンプ装置の動作開始時のV1、V2の回路シミュレーションによる波形図である。

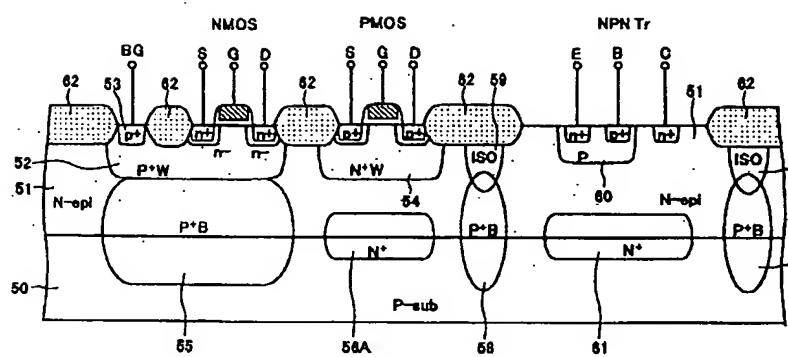
【符号の説明】

50	P型の単結晶シリコン基板
51	N型エピタキシャル・シリコン層
52	P型ウエル領域
53	基板バイアス用のP+型層
54	N型ウエル領域
55	P+型埋め込み層
56	N+型埋め込み層
57	重畳領域
58	P型下分離層
59	P型上分離層
60	P型ベース領域
61	N+型埋め込み層
62	フィールド酸化膜

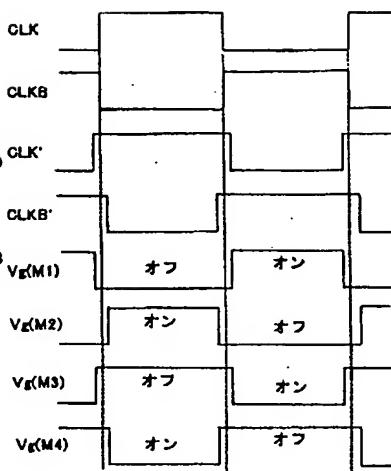
【図1】



【図2】

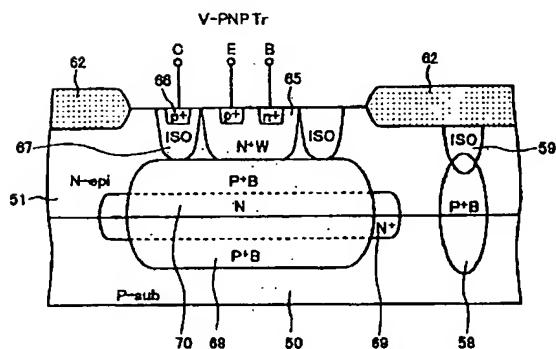


【図10】

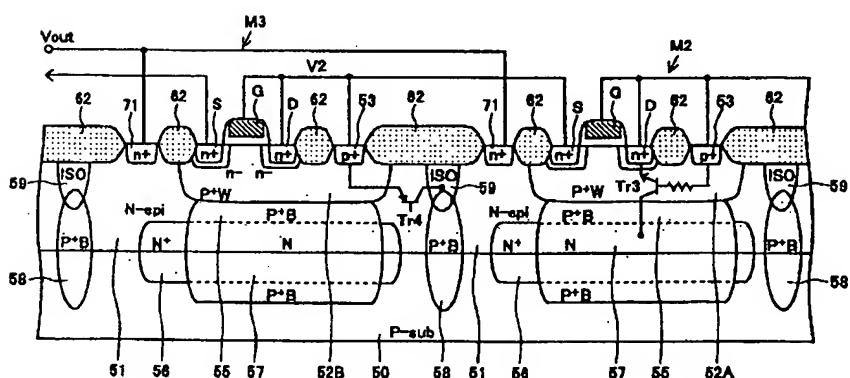


プラス界圧チャージポンプ回路の各電荷転送MOSFETのゲートに印加される信号のタイミング

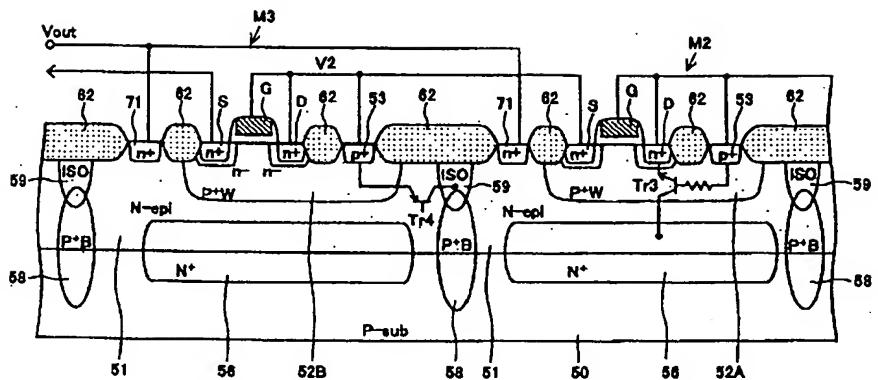
【図3】



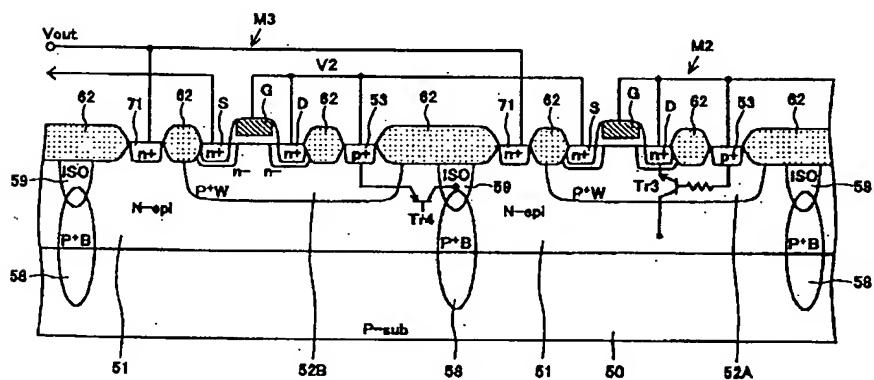
【図4】



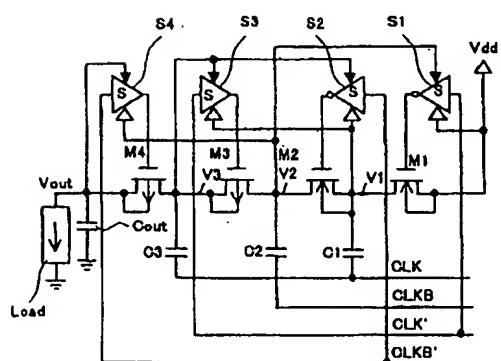
【図5】



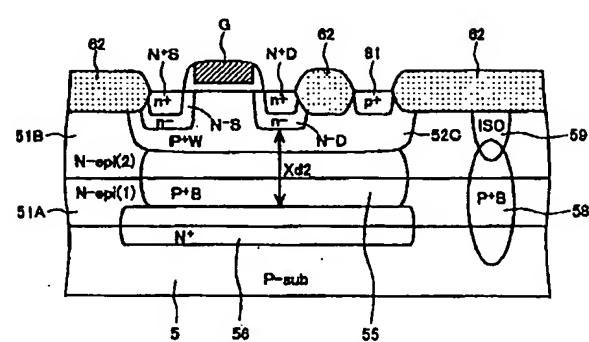
【図6】



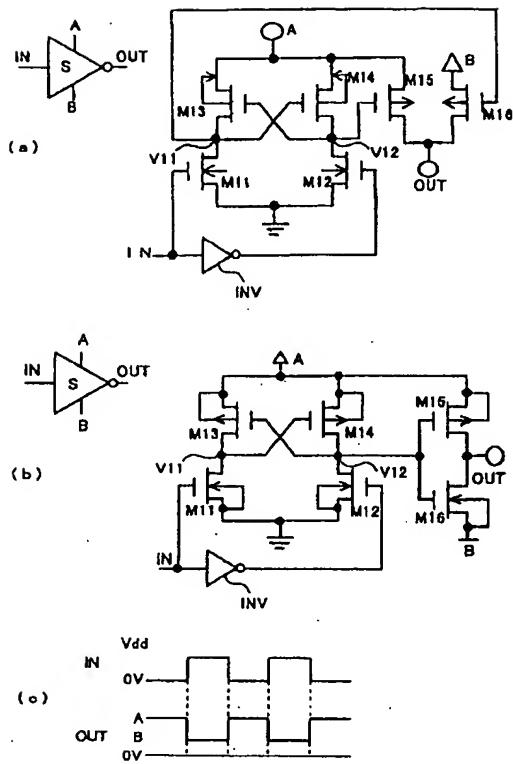
【図7】



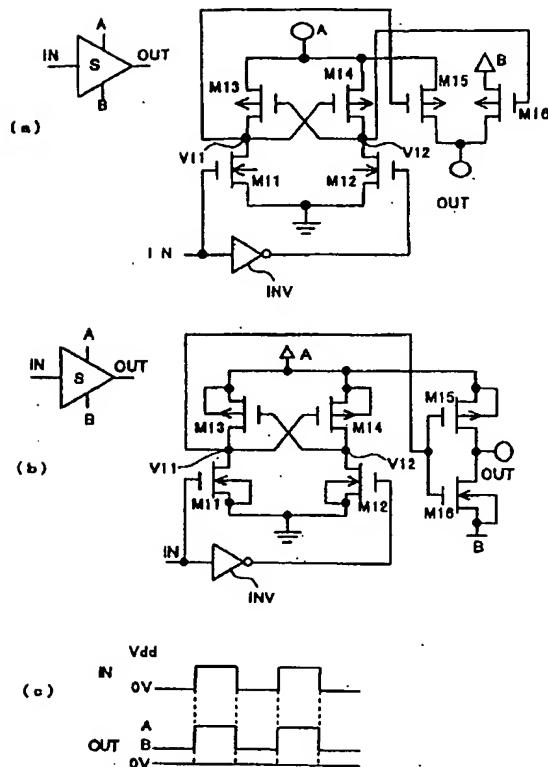
【図13】



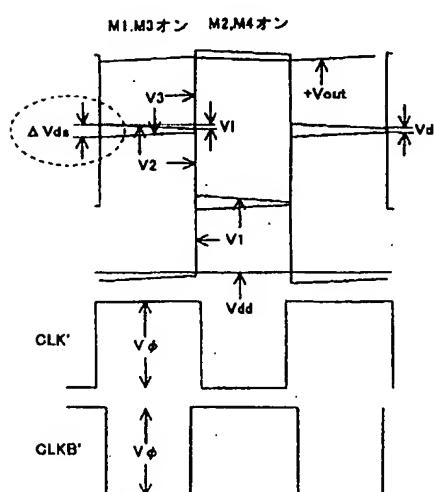
【図8】



【図9】

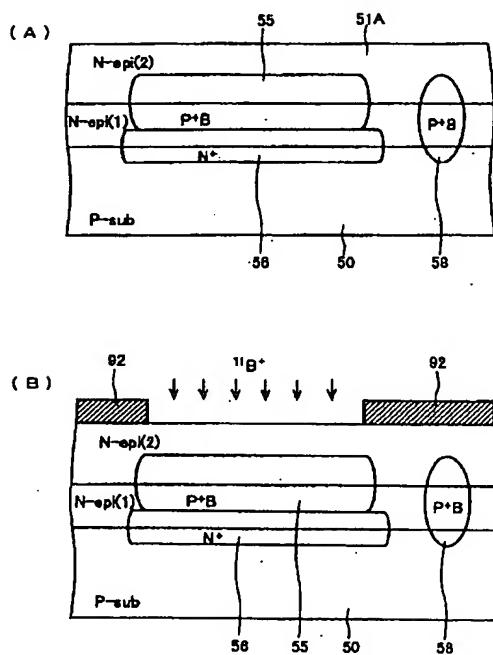


【図11】

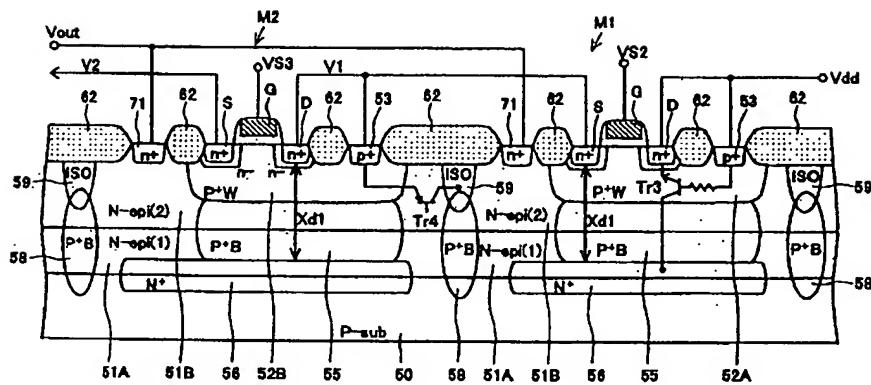


プラス3段昇圧チャージポンプ回路の各ノードの電圧波形

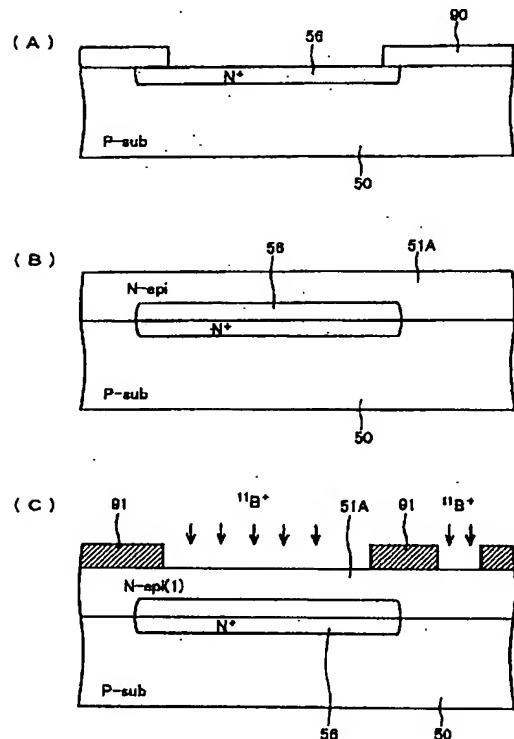
【図15】



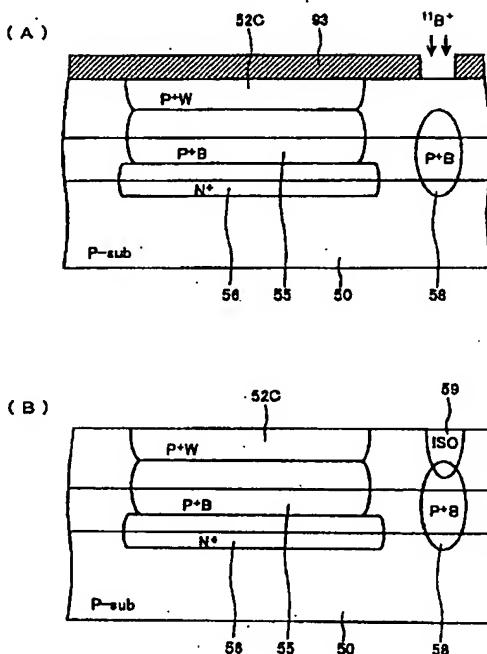
【図12】



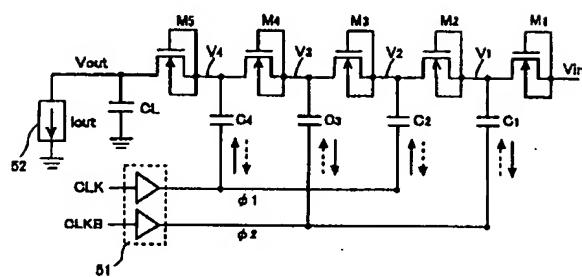
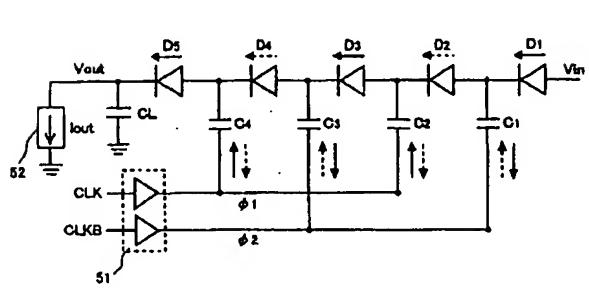
【図14】



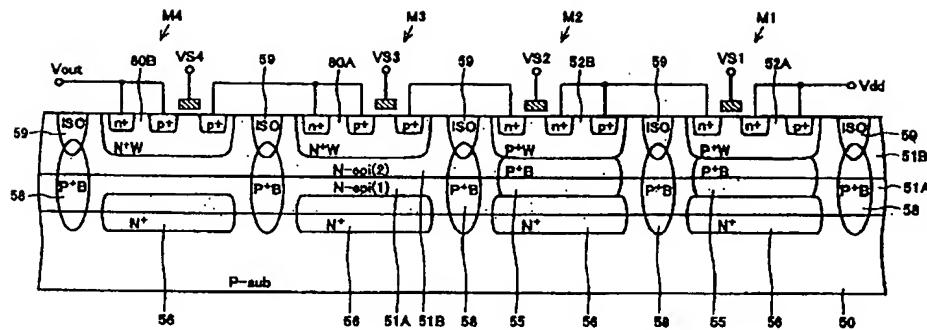
【図16】



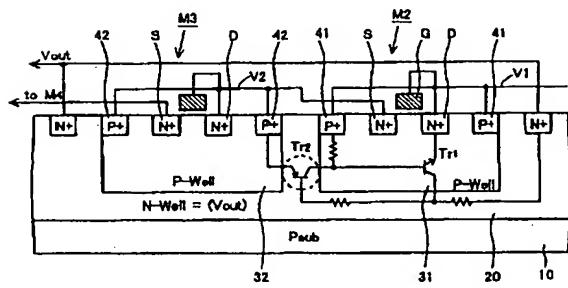
【図18】



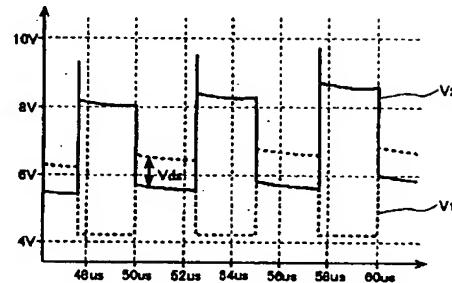
【図17】



【図20】



【図21】



フロントページの続き

(51) Int. Cl. 7

H O 1 L 27/04

27/06

29/732

29/762

H O 2 M 3/07

識別記号

F I

テマコード(参考)

H O 1 L 29/72

P 5 H 7 3 0

(72) 発明者 名野 隆夫

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

F ターム(参考) 4M118 AA08 AB01 BA10 DB11 DD09
5F003 AP04 BA25 BC08 BC90 BG03
BJ03 BJ15 BP02
5F038 AC03 BG05 BH18 DF01 EZ13
EZ14 EZ17 EZ20
5F048 AA03 AA10 AB10 AC05 BA07
BA13 BC06 BC07 BE03 BE04
BE09 BF18 BG12 BH03 BH09
CA03 CA07
5F082 AA27 BA02 BA04 BA12 BA23
BA41 BA47 BC01 BC04 BC09
EA03
5H730 AA06 AA08 AA12 AA15 AA16
AA20 AS01 AS04 BB02 BB57
BB86 DD04 DD26 DD32 FG01
ZZ11 ZZ15